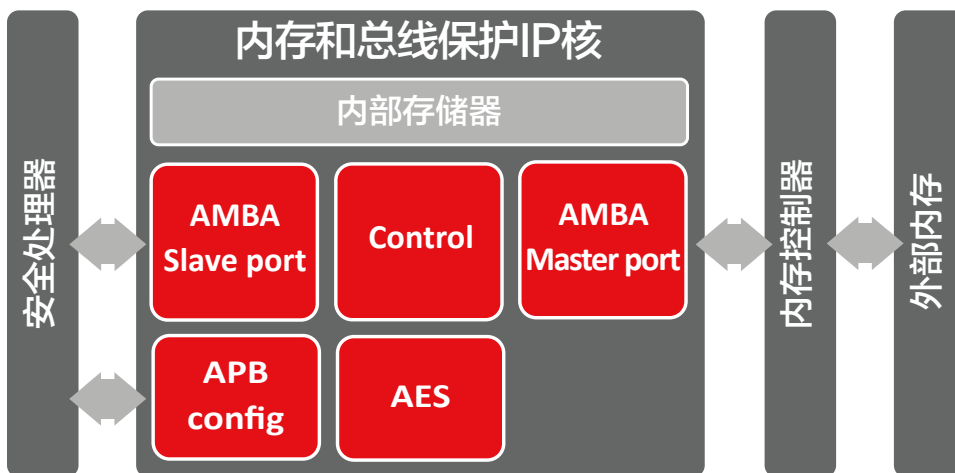


内存和总线保护IP核

内存和总线保护IP核模块支持对外部内存进行动态加/解密及身份验证。

它支持 AHB/AXI 从/主接口，用于配置目的的 APB 端口同时包含缓存，它通常放置在处理器和外部内存控制器（DDR_x）之间，此IP核通过避免任何修改、截取或分析外部数据来提高防篡改能力。



特性

- ✓ 保护外部内存
- ✓ 动态加/解密及身份验证
- ✓ 处理器透明
- ✓ 可扩展数据总线宽度 (32, 64, 128 bits)
- ✓ AMBA Master/Slave 接口
- ✓ 支持所有密钥 sizes (128/192/256 bits)
- ✓ 可扩展内部缓存
- ✓ ASIC 及FPGA

应用

- ✓ 内嵌式安全处理器
- ✓ 安全支付

实施环节

利用 Silex Insight 的 AES 核，处理器可以安全、透明地从外部内存写入/读取数据或代码，独特的架构可以实现高度的灵活性（缓存大小、性能），并允许微控制器和多核架构使用。可以考虑特定应用所需的功能，以便选择适合任何FPGA或ASIC技术的最佳配置。

产品交付

- ✓ Netlist 或 RTL
- ✓ Synthesis & STA 脚本
- ✓ 基于 FIPS 的 elf-check 测试平台 vectors
- ✓ 文档

V1.1

Silex Insight

上海市闵行区虹许路528号
2号楼208室 (201103)

Tel: +86 21 6221 0867

E-mail: contact-cn@silexinsight.com

Web: www.silexinsight.com.cn